

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-210976  
(43)Date of publication of application : 20.08.1993

(51)Int.Cl. G11C 11/405  
G06F 1/32

(21)Application number : 04-294799 (71)Applicant : HITACHI LTD  
HITACHI DEVICE ENG CO LTD  
(22)Date of filing : 04.11.1992 (72)Inventor : KAWAHARA TAKAYUKI  
KAWAJIRI YOSHIKI  
AKIBA TAKESADA  
HORIGUCHI SHINJI  
WATABE TAKAO  
KITSUKAWA GORO  
KAWASE YASUSHI  
TACHIBANA RIICHI  
AOKI MASAKAZU

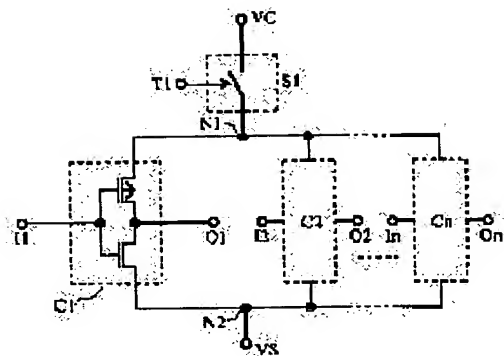
(30)Priority  
Priority number : 03292688 Priority date : 08.11.1991 Priority country : JP

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

PURPOSE: To reduce current consumption at a waiting time in a semiconductor integrated circuit using plural CMOS circuits using a minute MOS transistor.

CONSTITUTION: The device parameter of S1 is set so that the leakage current of a switching transistor S1 constituting a power supply switch being turned off at a waiting time is smaller than the total sum of the sub threshold current of the MOS of the (p) channel or the (n) channel in an off-state of plural CMOS circuits Ci. Thus, the current at a waiting time of plural CMOS circuits Ci becomes the small leakage current of the switching transistor S1 not but the large sub threshold current of the Ci in the case of using the minute MOS.



## LEGAL STATUS

[Date of request for examination] 16.06.1999  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]  
[Date of final disposal for application]  
[Patent number] 3112047

[Date of registration]

22.09.2000

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP5210976  
Publication date: 1993-08-20  
Inventor(s): KAWAHARA TAKAYUKI; others: 08  
Applicant(s): HITACHI LTD; others: 01  
Requested Patent: JP5210976  
Application Number: JP19920294799 19921104  
Priority Number(s):  
IPC Classification: G11C11/405; G06F1/32  
EC Classification:  
Equivalents: JP3112047B2

---

### Abstract

**PURPOSE:** To reduce current consumption at a waiting time in a semiconductor integrated circuit using plural CMOS circuits using a minute MOS transistor.

**CONSTITUTION:** The device parameter of S1 is set so that the leakage current of a switching transistor S1 constituting a power supply switch being turned off at a waiting time is smaller than the total sum of the sub threshold current of the MOS of the (p) channel or the (n) channel in an off-state of plural CMOS circuits Ci. Thus, the current at a waiting time of plural CMOS circuits Ci becomes the small leakage current of the switching transistor S1 not but the large sub threshold current of the Ci in the case of using the minute MOS.

---

Data supplied from the **esp@cenet** database - 12

(19) 日本国特許庁 (J P)

## (12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平5-210976

(43) 公開日 平成5年(1993)8月20日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/405				
G 0 6 F 1/32				
		6628-5L	G 1 1 C 11/34	3 7 1 F
		7165-5B	G 0 6 F 1/00	3 3 2 A

審査請求 未請求 請求項の数28(全 13 頁)

(21) 出願番号	特願平4-294799	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成4年(1992)11月4日	(71) 出願人	000233088 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地
(31) 優先権主張番号	特願平3-292688	(72) 発明者	河原 尊之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
(32) 優先日	平3(1991)11月8日	(72) 発明者	川尻 良樹 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 半導体集積回路

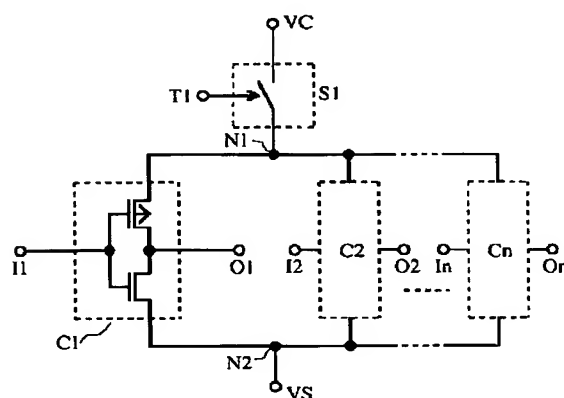
## (57) 【要約】

【目的】 微細MOSトランジスタを用いた複数のCMOS回路C1を用いた半導体集積回路において待機時の消費電流を低減する。

【構成】 待機時にオフとされる電源スイッチを構成するスイッチングトランジスタS1のリーク電流が複数のCMOS回路C1のオフ状態のpチャネルまたはnチャネルのMOSのサブスレッショルド電流の総和より小さくなるように、S1のデバイスパラメータを設定する。

【効果】 複数のCMOS回路C1の待機時の電流は、微細MOSを用いた場合のこのC1の大きなサブスレッショルド電流ではなく、スイッチングトランジスタS1の小さなリーク電流となる。

図 1



1

## 【特許請求の範囲】

【請求項1】スイッチングpチャネルMOSトランジスタと、共通の第1の電源端子と共通の第2の電源端子を有する複数のCMOS回路を具備し、

上記スイッチングpチャネルMOSトランジスタのゲートは制御信号で制御され、上記スイッチングpチャネルMOSトランジスタのソースは第1の動作電位に電氣的に接続され、上記スイッチングpチャネルMOSトランジスタのドレインは上記第1の電源端子と電氣的に接続され、上記第2の電源端子は第2の動作電位に電氣的に接続され、

上記スイッチングpチャネルMOSトランジスタのゲートーソース間に上記スイッチングpチャネルMOSトランジスタのしきい値電圧の絶対値よりも小さい電圧振幅の上記制御信号が印加され、かつ上記複数のCMOS回路の上記第1の電源端子と上記第2の電源端子が短絡された場合に、上記第1の動作電位から上記スイッチングpチャネルMOSトランジスタのソースードレイン経路を

通って上記第2の動作電位に流れる第1のサブスレッショルド電流が、  
上記複数のCMOS回路に含まれるそのソースが電氣的に上記第1の電源端子に接続された複数のpチャネルMOSトランジスタのゲートーソース間にそのしきい値電圧の絶対値よりも小さい電圧振幅の信号が印加され、かつ上記スイッチングpチャネルMOSトランジスタのソースードレイン間が短絡された場合に、上記第1の動作電位から上記複数のCMOS回路の上記pチャネルMOSトランジスタのソースードレイン経路を

通って上記第2の動作電位に流れる第2のサブスレッショルド電流よりも小さくなるように上記スイッチングpチャネルMOSトランジスタのデバイスパラメータは設定されていることを特徴とする半導体集積回路。

【請求項2】上記複数のCMOS回路の上記複数のpチャネルMOSトランジスタは上記複数のCMOS回路に含まれる複数のnチャネルMOSトランジスタとCMOSインバータ回路を構成することを特徴とする請求項1に記載の半導体集積回路。

【請求項3】複数のワード線と、上記複数のワード線に交差して配置された複数のデータ線と、上記複数のワード線と上記複数のデータ線の交点に配置されたメモリセルとを含み、上記複数のCMOS回路は上記複数のワード線を選択するワードドライバ回路を構成することを特徴とする請求項1又は請求項2の何れかに記載の半導体集積回路。

【請求項4】上記第1の電源端子の電位を上記第1の動作電位と上記第2の動作電位との間の所定の電位に維持する電圧クランプ回路を有することを特徴とする請求項1乃至請求項3の何れかに記載の半導体集積回路。

【請求項5】上記電圧クランプ回路は、ドレインが上記第1の動作電位に設定され、ゲートが所定の電位に設定

2

され、ソースが上記第1の電源端子に接続されたnチャネルMOSトランジスタで構成されることを特徴とする請求項4に記載の半導体集積回路。

【請求項6】上記電圧クランプ回路の上記nチャネルMOSトランジスタのゲートとドレインは短絡されていることを特徴とする請求項5に記載の半導体集積回路。

【請求項7】上記スイッチングpチャネルMOSトランジスタのデバイスパラメータは上記スイッチングpチャネルMOSトランジスタのゲート幅又はしきい値電圧であることを特徴とする請求項1に記載の半導体集積回路。

【請求項8】スイッチングnチャネルMOSトランジスタと、共通の第1の電源端子と共通の第2の電源端子を有する複数のCMOS回路を具備し、

上記スイッチングnチャネルMOSトランジスタのゲートは制御信号で制御され、上記スイッチングnチャネルMOSトランジスタのソースは第1の動作電位に電氣的に接続され、上記スイッチングnチャネルMOSトランジスタのドレインは上記第1の電源端子と電氣的に接続され、上記第2の電源端子は第2の動作電位に電氣的に接続され、

上記スイッチングnチャネルMOSトランジスタのゲートーソース間に上記スイッチングnチャネルMOSトランジスタのしきい値電圧の絶対値よりも小さい電圧振幅の上記制御信号が印加され、かつ上記複数のCMOS回路の上記第1の電源端子と上記第2の電源端子が短絡された場合に、上記第1の動作電位から上記スイッチングnチャネルMOSトランジスタのソースードレイン経路を

通って上記第2の動作電位に流れる第1のサブスレッショルド電流が、  
上記複数のCMOS回路に含まれるそのソースが電氣的に上記第1の電源端子に接続された複数のnチャネルMOSトランジスタのゲートーソース間にそのしきい値電圧の絶対値よりも小さい電圧振幅の信号が印加され、かつ上記スイッチングnチャネルMOSトランジスタのソースードレイン間が短絡された場合に、上記第1の動作電位から上記複数のCMOS回路の上記nチャネルMOSトランジスタのソースードレイン経路を

通って上記第2の動作電位に流れる第2のサブスレッショルド電流よりも小さくなるように上記スイッチングnチャネルMOSトランジスタのデバイスパラメータは設定されていることを特徴とする半導体集積回路。

【請求項9】上記複数のCMOS回路の上記複数のnチャネルMOSトランジスタは上記複数のCMOS回路の複数のpチャネルMOSトランジスタとCMOSインバータ回路を構成することを特徴とする請求項8に記載の半導体集積回路。

【請求項10】複数のワード線と、上記複数のワード線に交差して配置された複数のデータ線と、上記複数のワード線と上記複数のデータ線の交点に配置されたメモリ

セルとを含み、上記複数のCMOS回路は上記複数のワード線を選択するワードドライバ回路を構成することを特徴とする請求項8又は請求項9の何れかに記載の半導体集積回路。

【請求項11】上記第1の電源端子の電位を上記第1の動作電位と上記第2の動作電位との間の所定の電位に維持する電圧クランプ回路を有することを特徴とする請求項8乃至請求項10の何れかに記載の半導体集積回路。

【請求項12】上記電圧クランプ回路は、ドレインが上記第1の動作電位に設定され、ゲートが所定の電位に設定され、ソースが上記第1の電源端子に接続されたpチャンネルMOSトランジスタで構成されることを特徴とする請求項11に記載の半導体集積回路。

【請求項13】上記電圧クランプ回路の上記pチャンネルMOSトランジスタのゲートとドレインは短絡されていることを特徴とする請求項12に記載の半導体集積回路。

【請求項14】上記スイッチングnチャンネルMOSトランジスタのデバイスパラメータは上記スイッチングnチャンネルMOSトランジスタのゲート幅又はしきい値電圧であることを特徴とする請求項8乃至請求項13の何れかに記載の半導体集積回路。

【請求項15】スイッチングpnpバイポーラトランジスタと、共通の第1の電源端子と第2の電源端子を持つ複数のCMOS回路とを具備し、上記スイッチングpnpバイポーラトランジスタのエミッタは第1の動作電位に電気的に接続され、上記スイッチングpnpバイポーラトランジスタのベースは制御信号で制御され、上記スイッチングpnpバイポーラトランジスタのコレクタは上記第1の電源端子に接続され、上記第2の電源端子は第2の動作電位に電気的に接続され、

上記スイッチングpnpバイポーラトランジスタのベース-エミッタ間にベース-エミッタ順電圧よりも小さい電圧振幅の上記制御信号が印加され、かつ上記複数のCMOS回路の上記第1の電源端子と上記第2の電源端子が短絡された場合に、上記スイッチングpnpバイポーラトランジスタのエミッターコレクタ経路を流れて流れるリーク電流が、

上記複数のCMOS回路に含まれるそのソースが上記第1の電源端子に電気的に接続される複数のpチャンネルMOSトランジスタのゲート-ソース間にそのしきい値電圧の絶対値よりも小さい信号が印加され、かつ上記スイッチングpチャンネルMOSトランジスタの上記ソースと上記ドレインが短絡された場合に、上記第1の動作電位から上記複数のCMOS回路の上記複数のpチャンネルMOSトランジスタのソース-ドレイン経路を流れて流れるサブスレッショルド電流よりも小さいように上記スイッチングpnpバイポーラトランジスタのデバイスパラメータは設定されていることを特

徴とする半導体集積回路。

【請求項16】上記複数のCMOS回路の上記複数のpチャンネルMOSトランジスタは上記複数のCMOS回路の複数のnチャンネルMOSトランジスタとCMOSインバータ回路を構成することを特徴とする請求項15に記載の半導体集積回路。

【請求項17】複数のワード線と、上記複数のワード線に交差して配置された複数のデータ線と、上記複数のワード線と上記複数のデータ線の交点に配置されたメモリセルとを含み、上記複数のCMOS回路は上記複数のワード線を選択するワードドライバ回路を構成することを特徴とする請求項15又は請求項16の何れかに記載の半導体集積回路。

【請求項18】上記第1の電源端子の電位を上記第1の動作電位と上記第2の動作電位との間の所定の電位に維持する電圧クランプ回路を有することを特徴とする請求項15乃至請求項17の何れかに記載の半導体集積回路。

【請求項19】上記電圧クランプ回路は、ドレインが上記第1の動作電位に電気的に接続され、ゲートが所定の電位に設定され、ソースが上記第1の電源端子に接続されたnチャンネルMOSトランジスタで構成されることを特徴とする請求項18に記載の半導体集積回路。

【請求項20】上記電圧クランプ回路の上記nチャンネルMOSトランジスタのゲートとドレインは短絡されていることを特徴とする請求項19に記載の半導体集積回路。

【請求項21】上記スイッチングpnpバイポーラトランジスタのデバイスパラメータは上記スイッチングpnpバイポーラトランジスタのエミッタ幅であることを特徴とする請求項15乃至請求項20の何れかに記載の半導体集積回路。

【請求項22】スイッチングpnpバイポーラトランジスタと、共通の第1の電源端子と第2の電源端子を持つ複数のCMOS回路とを具備し、

上記スイッチングpnpバイポーラトランジスタのエミッタは第1の動作電位に電気的に接続され、上記スイッチングpnpバイポーラトランジスタのベースは制御信号で制御され、上記スイッチングpnpバイポーラトランジスタのコレクタは上記複数のCMOS回路の上記第1の電源端子に接続され、上記複数のCMOS回路の上記第2の電源端子は第2の動作電位に電気的に接続され、

上記スイッチングpnpバイポーラトランジスタのベース-エミッタ間にベース-エミッタ順電圧よりも小さい電圧振幅の上記制御信号が印加され、かつ上記複数のCMOS回路の上記第1の電源端子と上記第2の電源端子が短絡された場合に、上記スイッチングpnpバイポーラトランジスタのエミッターコレクタ経路を流れて流れるリーク電流が、

上記複数のCMOS回路の第1の電源端子に接続する複数のnチャネルMOSトランジスタのゲート・ソース間にそのしきい値電圧の絶対値よりも小さい信号が印加され、かつ上記スイッチングnチャネルMOSトランジスタの上記ソースと上記ドレインが短絡された場合に、上記複数のCMOS回路の上記複数のnチャネルMOSトランジスタのソース・ドレイン経路を通して流れるサブスレッショルド電流よりも小さいように上記スイッチングnpnバイポーラトランジスタのデバイスパラメータは設定されていることを特徴とする半導体集積回路。

【請求項23】上記複数のCMOS回路の上記複数のnチャネルMOSトランジスタは上記複数のCMOS回路の上記複数のpチャネルMOSトランジスタとCMOSインバータ回路を構成することを特徴とする請求項22に記載の半導体集積回路。

【請求項24】複数のワード線と、上記複数のワード線に交差して配置された複数のデータ線と、上記複数のワード線と上記複数のデータ線の交点に配置されたメモリセルとを含み、上記複数のCMOSは上記複数のワード線を選択するワードドライバ回路を構成することを特徴とする請求項22又は請求項23の何れかに記載の半導体集積回路。

【請求項25】上記第1の電源端子の電位を上記第1の動作電位と上記第2の動作電位との間の所定の電位に維持する電圧クランプ回路を有することを特徴とする請求項22乃至請求項24の何れかに記載の半導体集積回路。

【請求項26】上記電圧クランプ回路は、ドレインが上記第1の動作電位に電気的に接続され、ゲートが所定の電位に設定され、ソースが上記第1の電源端子に接続されたpチャネルMOSトランジスタで構成されることを特徴とする請求項25に記載の半導体集積回路。

【請求項27】上記電圧クランプ回路の上記pチャネルMOSトランジスタのゲートとドレインは短絡されていることを特徴とする請求項26に記載の半導体集積回路。

【請求項28】上記スイッチングnpnバイポーラトランジスタのデバイスパラメータは上記スイッチングnpnバイポーラトランジスタのエミッタ幅であることを特徴とする請求項22乃至請求項27の何れかに記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高集積密度で待機時の消費電流を低減した半導体集積回路に関する。

【0002】

【従来の技術】待機時の消費電力が極めて小さい半導体集積回路としては、CMOS回路が周知である。入力がハイレベルの時は、pチャネルMOSトランジスタがオフで、nチャネルMOSトランジスタがオンであり、出

力の容量性負荷の放電が完了するとnチャネルMOSトランジスタがオフとなり、この状態では消費電力は無視できる。入力がローレベルの時は、pチャネルMOSトランジスタがオンで、nチャネルMOSトランジスタがオフであり、出力の容量性負荷の充電が完了するとpチャネルMOSトランジスタがオフとなり、この状態でも消費電力は同様に無視できる一方、チップ内の内部回路に微細化されたMOSトランジスタを使用し、かつ微細化に伴うMOSトランジスタの降伏電圧低下に対処するため外部電源電圧より低い内部電源電圧をチップ内の電圧降下回路（オンチップ電圧リミッタ）で発生し、この内部電源電圧を内部回路に供給するようにした高集積密度で半導体集積回路は、従来より、特開昭57-172761に記載されている。

【0003】一方、特開昭63-140486には、電源投入直後の内部回路の過渡電流の立上り速度を大きくする一方、過渡電流のピーク値を抑制するため、外部電源と内部回路との間にカレントミラー回路を接続して、内部回路に供給する電流を制限するとともに、帰還によって内部回路への供給電圧の上昇を所定値でクランプする方式が開示されている。

【0004】

【発明が解決しようとする課題】しかしながら、最近の半導体集積回路に用いられる微細加工技術の進展は目覚ましく、加工寸法0.1 $\mu$ mへと近づきつつある。チャネル長が1 $\mu$ mのMOSトランジスタと比較すると、チャネル長が0.1 $\mu$ m前後のMOSトランジスタはしきい値電圧が低くなるとともにゲート・ソース間電圧がしきい値電圧以下となってもドレイン電流は0とならない。このゲート・ソース間電圧がしきい値電圧以下の領域でのリーク電流は、サブスレッショルド電流と呼ばれ、ゲート・ソース間電圧に指数関数的に比例する。反対に、しきい値電圧とは、ドレイン電流がゲート・ソース間電圧に指数関数的に比例する領域で定義したものであり、例えばゲート幅が10 $\mu$ mの時に10nAのドレイン電流が流れるゲート・ソース間電圧である。微細化にともなって生じるこのサブスレッショルド電流の増大は集積回路の低消費電力化という要請に反するという問題がある。特に、微細化されたMOSトランジスタを使用した半導体集積回路の非動作状態の消費電力は、このサブスレッショルド電流により決定され、このサブスレッショルド電流を抑えることが低消費電力を達成するために必要である。

【0005】ところで、半導体メモリのワード線を駆動するワードドライバをCMOS回路で構成することにより、半導体メモリの低消費電力化が実現される。しかし、ワードドライバのCMOS回路のMOSトランジスタを微細化すると下記の如き問題が生じる。すなわち、ワード線の寄生容量が大きいので、ゲート幅の大きなMOSトランジスタをワードドライバの駆動トランジスタ

7

に用いる必要がある。このためワードドライバのゲート幅の総計は、DRAMチップ全体のゲート幅の総計のおよそ半分にも達する。しかし、サブスレッショルド電流はゲート幅に比例して増大するので、大きなゲート幅のMOSトランジスタをワードドライバの駆動トランジスタに用いるとワードドライバのCMOS回路の待機時の消費電力が大きくなると言う問題が生じる。

【0006】すなわち、半導体メモリは一般に多数のワードドライバを用いているので、CMOS回路で構成されたワードドライバの駆動MOSトランジスタのサブスレッショルド電流を抑えることが必要となる。例えば、4MbDRAMを例にすると、リフレッシュ期間16msec中約15.9msecの期間（実に99%以上の期間）は全てのワード線が非選択状態の期間であり、この非選択状態ではワードドライバの駆動MOSトランジスタのサブスレッショルド電流が流れることとなるので、非選択状態での消費電力は、ワードドライバで微細化された駆動MOSトランジスタのサブスレッショルド電流によって決定される。このような問題は、特に、電池動作の半導体集積回路の場合に深刻な問題となる。

【0007】一方、特開昭57-172761に開示された電圧降下回路の技術を上記のDRAMの如き半導体メモリに適用したとすると、サブスレッショルド電流の大きいMOSトランジスタを含む内部回路の内部電源電圧はオンチップ電圧リミッタの出力から供給される。しかし、この場合に、オンチップ電圧リミッタはその出力電流に関しては電流制限の機能を有していないので、上記で問題とされたサブスレッショルド電流を低減することはできない。

【0008】一方、特開昭63-140486に開示されたカレントミラー回路の技術を上記のDRAMの如き半導体メモリに適用したとすると、サブスレッショルド電流の大きいMOSトランジスタを含む内部回路の内部電源電圧と内部電源電流とはカレントミラー回路の出力トランジスタから供給される。しかし、この場合に、カレントミラー回路は内部回路の過渡電流のピーク値を所定値以下に制限すると言う電流制限の機能を有するものの、この所定値に対応するサブスレッショルド電流は上述のサブスレッショルド電流よりはるかに大きな値であり、やはり、上記で問題とされたサブスレッショルド電流を低減することはできない。

【0009】従って、本発明の目的は、微細化されたCMOS回路を使用しても、微細化に伴う大きなサブスレッショルド電流によって待機時の消費電力が決定されない半導体集積回路を提供することにある。

【0010】

【課題を解決するための手段】かかる目的を達成するには、スイッチングMOSトランジスタを、複数のCMOS回路に共通の第1の電源端子と外部電源端子或いはオンチップ電圧リミッタの出力である内部電源端子との間

8

に具備し、スイッチングMOSトランジスタのゲートソース間にしきい値電圧の絶対値よりも小さい電圧振幅の制御信号が印加され、かつ複数のCMOS回路の第1の電源端子と第2の電源端子が短絡された場合に、外部電源端子或いはオンチップ電圧リミッタの出力である内部電源端子から上記スイッチングMOSトランジスタのソースドレイン経路を通して流れる第1のサブスレッショルド電流が、複数のCMOS回路に含まれるそのソースが電気的に第1の電源端子に接続されたスイッチングMOSトランジスタと同導電型チャンネルの複数のMOSトランジスタのゲートソース間にそのしきい値電圧の絶対値よりも小さい電圧振幅の信号が印加され、かつスイッチングMOSトランジスタのソースドレイン間が短絡された場合に、外部電源端子或いはオンチップ電圧リミッタの出力である内部電源端子から複数のCMOS回路のMOSトランジスタのソースドレイン経路を通して流れる第2のサブスレッショルド電流よりも小さくなるようにスイッチングMOSトランジスタのデバイスパラメータを設定する。

20 【0011】

【作用】待機状態では、オフ状態の複数のCMOS回路の電流はオフ状態のスイッチングMOSトランジスタのサブスレッショルド電流に制限される。

【0012】

【実施例】本発明を実施例を用いて具体的に述べる。なお、特に断らない限り端子名を表す記号は同時に配線名、信号名も兼ね電源の場合はその電圧値も兼ねるものとする。

【0013】図1は、本発明の第1の実施例を示す図である。Ci(i=1~n)はCMOSトランジスタを用いて構成した論理回路又はドライバであるが、出力端子Oiの駆動に注目しここでは単純なCMOSインバータを例にしている。Iiはその入力端子である。VSとVCは外部電源もしくは内部降圧回路又は内部昇圧回路等の内部電圧変換回路で発生する内部電源からの電源線である。外部電源電圧は、例えば1.5~3.6V程度である。VCは例えば1.5~2.5Vに設定される。VSは通常0Vである。このCiとVCとの間にスイッチ回路S1を挿入する。T1はこのスイッチ回路の制御端子である。スイッチ回路S1には例えばMOSトランジスタやバイポーラトランジスタなどを用いる。N1はCMOSインバータ群の第1の電源端子である。N2はCMOSインバータ群の第2の電源端子である。

【0014】この回路の動作を図2を用いて説明する。ここでは、動作時には1つの回路（ここではC1）のみが動作する場合を考える。すなわち、スイッチS1が動作時に供給する電流はCiのうちの1回路分（ここではC1での消費電流）のみで良い。また、図2では、T1が高レベルの時S1はオンし、T1が低レベルの時にS1はオフする場合としている。

9

【0015】最初の待機時は、C<sub>i</sub>の入力I<sub>i</sub>はすべて高レベルVCで、出力O<sub>i</sub>はすべて低レベルVSである。この時、pチャネルMOSトランジスタは通常はオフ状態であり、nチャネルMOSトランジスタは通常はオン状態である。しかし、微細化によってオフ状態のサブスレッショルド電流が問題となる。すなわち、ここでスイッチS<sub>1</sub>が無い場合に問題になるサブスレッショルド電流は、出力O<sub>i</sub>が低レベルの時、オフのpチャネルMOSトランジスタとオンのnチャネルMOSトランジスタを通してVCからVSに向かって流れる電流である。本実施例では待機時にT<sub>1</sub>を低レベルに設定し、スイッチS<sub>1</sub>をオフさせる。しかし、スイッチS<sub>1</sub>をオフしても、スイッチS<sub>1</sub>のリーク電流を無視できない。しかし、スイッチS<sub>1</sub>のリーク電流が上述のサブスレッショルド電流より小さく設定されている。従って、この時、VCからC<sub>i</sub>への最大電流はスイッチS<sub>1</sub>のリーク電流である。これによって、低電圧動作のためにC<sub>i</sub>に低いしきい値電圧を持つMOSトランジスタを用いたとしても、C<sub>i</sub>に流れる電流はサブスレッショルド電流で決定されるのではなく小さなスイッチS<sub>1</sub>のリーク電流によって決定される。よって待機時の消費電流も小さい。

【0016】次に、動作時となるとT<sub>1</sub>が高レベルとなりS<sub>1</sub>がオンし、S<sub>1</sub>がC<sub>1</sub>の出力O<sub>1</sub>を充電するのに必要な電流を供給する状態となる。ここで、入力I<sub>1</sub>が低レベルVSへと変化し、出力O<sub>1</sub>は電源VCからの電流によって電圧VCまで上昇する。その後入、力I<sub>1</sub>は高レベルVCとなり出力O<sub>1</sub>は低レベルVSとなる。以上の動作が完了すると再び待機状態でT<sub>1</sub>は低レベルとなり、S<sub>1</sub>はオフする。

【0017】尚、このスイッチS<sub>1</sub>はpチャネルMOSトランジスタまたはpn<sub>p</sub>バイポーラトランジスタで形成できる。

【0018】図3は本発明の第2の実施例を示す図である。図1と異なる点は、VCとC<sub>i</sub>との間にスイッチS<sub>1</sub>を設ける代わりに、VSとC<sub>i</sub>との間にスイッチS<sub>2</sub>を設けた点と、第1の電源端子N<sub>1</sub>と第2の電源端子N<sub>2</sub>が逆になった点である。その他は図1と同じである。この回路の動作を図4に示している。

【0019】この図3の回路では、スイッチS<sub>2</sub>のリーク電流が入力I<sub>i</sub>に低電位が印加された回路C<sub>i</sub>のnチャネルMOSトランジスタのサブスレッショルド電流より小さく設定されている。従って、この時、C<sub>i</sub>からVSへの最大電流はスイッチS<sub>2</sub>のリーク電流である。これによって、低電圧動作のためにC<sub>i</sub>に低いしきい値電圧を持つMOSトランジスタを用いたとしても、C<sub>i</sub>に流れる電流はサブスレッショルド電流で決定されるのではなく小さなスイッチS<sub>2</sub>のリーク電流によって決定される。よって待機時の消費電流も小さい。

【0020】尚、このスイッチS<sub>2</sub>はnチャネルMOS

10

トランジスタまたはnp<sub>n</sub>バイポーラトランジスタで形成できる。

【0021】図5は、本発明の第3の実施例を示す図である。本実施例では、図1の第1の実施例のスイッチS<sub>1</sub>を具体的にpチャネルMOSトランジスタで構成している。このpチャネルMOSトランジスタS<sub>1</sub>の電流駆動能力は、低電位の入力I<sub>i</sub>にตอบสนองして出力O<sub>i</sub>を充電する回路C<sub>i</sub>の数を考慮して設定されている。一方、待機時の消費電流を低減するには、上述のようにスイッチS<sub>1</sub>のリーク電流を小さな値にすることが必要となる。このために、スイッチS<sub>1</sub>のpチャネルMOSトランジスタのデバイスパラメータを設定する必要がある。例えば、スイッチS<sub>1</sub>のpチャネルMOSトランジスタのゲート幅は、回路C<sub>1</sub>、C<sub>2</sub>…C<sub>n</sub>の全pチャネルMOSトランジスタのゲート幅の総和よりも小さく、1つの回路C<sub>i</sub>のpチャネルMOSトランジスタのゲート幅よりも大きく設定されている。リーク電流を小さくするためには、スイッチS<sub>1</sub>のpチャネルMOSトランジスタのしきい値電圧を大きくするか、ゲート長を大きくするか、またはゲート絶縁膜厚を大きくすることでも可能である。これによって、待機時の消費電流を小さく抑えることができる。

【0022】この回路の動作を図6を用いて説明する。尚、動作時には1つの回路C<sub>1</sub>のみ高電位を出力するものである。

【0023】まず、最初待機時において、先の実施例と同様に、C<sub>i</sub>の入力I<sub>i</sub>はすべて高レベルVCとし、出力O<sub>i</sub>はすべて低電位VSである。また、C<sub>1</sub>、C<sub>2</sub>…C<sub>n</sub>のサブスレッショルド電流の総和よりもスイッチ素子S<sub>1</sub>で流れるサブスレッショルド電流が小さいので、共通電源端子Nの電位は徐々に低下する。すると例えば回路C<sub>1</sub>のpチャネルMOSトランジスタを考えると、そのゲート電圧はVCであるが、ソース電圧はVCより低くなる。すなわちpチャネルMOSトランジスタはさらに強いオフ状態となるので、サブスレッショルド電流は大きく減少する。サブスレッショルド電流のゲート・ソース間電圧依存性はおよそDECADE/100mV程度である。従って、0.2Vも下がればサブスレッショルド電流は1/100となってしまうのである。従って、待機時の期間がある程度長くなると、端子Nの電位低下によって消費電流は無視できるほど小さくできる。

【0024】動作時にpチャネルMOSトランジスタS<sub>1</sub>をオンとするため、T<sub>1</sub>が低レベルVSとなることが先の実施例との相違点であり、その他は先の実施例と同様である。なお、このスイッチS<sub>1</sub>をpn<sub>p</sub>バイポーラトランジスタで構成することも可能である。

【0025】バイポーラトランジスタで構成する場合には、第1と第2の電源端子を持つ複数のCMOS回路の少なくとも一方の電源端子と、外部電源端子或いはオン

チップ電圧リミッタの出力である内部電源端子との間にnpnまたはpnpのスイッチングバイポーラトランジスタを設ける。そして、この複数のCMOS回路の第1と第2の電源端子をショートした時のスイッチングバイポーラトランジスタがオフ状態でのリーク電流を、反対にスイッチングバイポーラトランジスタをショートした場合の(ショートしない)複数のCMOS回路がオフ状態でのサブスレッショルド電流よりも小さくなるように、スイッチングバイポーラトランジスタのデバイスパラメータを設定する。デバイスパラメータとは例えばエミッタ幅である。

【0026】図7は、本発明の第4の実施例を示す図である。本実施例では図5で示した第3の実施例のスイッチS1と並列に電源VCとCiとの間に第1の電源端子N1のポテンシャルをVCとVSとの間の所定のポテンシャルに維持する電圧クランプ回路Lを有することを特徴とする。

【0027】例えば、この記電圧クランプ回路Lは、ドレインがVCに設定され、そのゲートが所定の電位に設定され、そのソースが端子N1に接続されたソースフォロウ動作のnチャネルMOSトランジスタで構成される。本実施例では、ゲートとドレインとが短絡されたダイオード接続のnチャネルMOSトランジスタによってこの電圧クランプ回路が実現されている。

【0028】この回路の特長と動作を図8を用いて説明する。最初の状態は図5及び図6で説明した場合と同じである。この時、Ciの共通電源端子N1の電位は図8に示すようにと電圧クランプ回路Lの有る場合(実線)と無い場合(破線)では待機時において異なる。極めて長い待機時が続くと、電圧クランプ回路Lが無い場合はCiで流れるサブスレッショルド電流とその他のリーク電流によって端子N1の電位は最悪の場合VSまで低下する。このため、待機時から動作時に移行するには、まず共通電源端子N1を充電しなければならないので、この充電完了まで動作状態への移行に遅延が生じる。これに対して、電圧クランプ回路Lを構成しているnチャネルMOSトランジスタのしきい値電圧をVTとすると、電圧クランプ回路Lがある場合には、共通電源端子N1の電位はVC-VTまでしか低下しない。従って、動作状態への移行が短時間で終了する。尚、入力にVCが印加された待機時のCiのサブスレッショルド電流が先の実施例と同様に無視できる程度に小さくなるように、N1のクランプ電位VC-VTのレベルが設定されている。例えば、VTを0.2Vとし、サブスレッショルド電流のゲート・ソース間電圧依存性をDECADE/100mVとするとサブスレッショルド電流を1/100以下にできる。

【0029】本発明は、多数の同種のCMOS回路を含む半導体集積回路が待機状態(電源電圧が実質的に供給されない状態で、出力から有効データが出力することを

保証できない状態)となる動作モードを有する場合、この待機状態の消費電流を低減するのに好適である。

【0030】半導体メモリ、例えば、ダイナミック形ランダムアクセスメモリ(DRAM)、スタティック形ランダムアクセスメモリ(SRAM)、或いはEEPROMのような不揮発性メモリはワードデコーダ、ワードドライバ、Y系デコーダ、Y系ドライバを有する。従って、出力から有効データが出力することを保証できない半導体メモリの待機状態で、このようなデコーダやドライバの消費電流を大きく削減すれば、長時間の電池動作を保証することができる。

【0031】本発明のCMOS回路をこのようなデコーダやドライバに適用することにより、消費電流が大きく削減され、長時間の電池動作を保証することができる。

【0032】図9は本発明をダイナミック形ランダムアクセスメモリのワードドライバ・デコーダに適用した例を示す図である。WD1~WD8はワードドライバであり図1のCiに相当し、これに電源VCHから電流を供給するスイッチがS11である。またXD1はデコーダでありこれもまた図1のCiに相当し、これに電源VCLから電流を供給するスイッチがS12である。ワードドライバWD1~WD8用の電源電圧VCHはメモリセル(図示せず)の蓄積電圧を充分に取るために必要な高い電圧に設定される。例えば、メモリセルの蓄積電圧を1.5Vとすると、VCHは2.5Vにする。デコーダXD1用の電源電圧VCLはメモリセルを直接駆動する必要がないため、消費電流を下げかつスピードがあまり劣化しないようなできるだけ低い電圧に設定される。例えば、1.5Vにする。このためVCHはVCLより高く設定される。VCHは例えば外部電源電圧を昇圧することによっても得られる。WD1~WD8とXD1とで回路ブロックXB1を構成し、このような回路ブロックがXB1~XBnとn個ある場合を示している。W11~Wn8はワード線である。WD1においてpMOSのMW1とnMOSのMW2がワード線W11を駆動するCMOSインバータである。また、XDPHはプリチャージ信号である。このWD1の基本的な動作は特開昭62-178013に示すようにnMOS MS1がオフの状態ではXDPHでPMOS MP1をオンさせて端子N3をVCHにプリチャージしCMOSインバータの出力であるW11を低レベルVSにしておき、その後nMOS MS1を選択的にオンさせてN3の電位を低下させてCMOSインバータを反転させるというものである。pMOS MF1は誤動作防止用にCMOSインバータの出力から入力へ弱い帰還をかけるものである。MS1の制御はXmと後述するデコーダの出力N2とで行なう。従来このようなワードドライバにおいてpMOS MW1は他のワードドライバと共に電源VCHに直接接続していた。このMW1は一般にワード線の負荷が大きいため、ゲート幅の大きいものを用いる。このため多数

あるワードドライバ全体でのゲート幅の総計はチップ全体の論理回路のゲート幅の総計の大半を占めてしまう。従来はこのような大きなゲート幅分のMOSが電源VCHに接続されていた。このため加工技術の微細化に伴うMOSのソース・ドレイン間耐圧の低下にあわせて電源電圧を下げ、この電源電圧下で高速動作を維持するためにしきい値電圧を下げようとする、サブスレッショルド電流が増加してしまうという問題を有していた。これは待機時電流の増加となり低電圧化により電池駆動ができて、消費電流の点から障害となる。本発明では、ワードドライバの電源VCHと多数のワードドライバとの間にスイッチS11を設ける。このスイッチS11の出力VCHLに多数のワードドライバを接続している。このスイッチS11はpMOSで構成しており、このpMOSのゲート幅は一度に動作するワードドライバに電流を供給できれば良いため小さくて済むのである。このpMOSをVCHに接続しているためサブスレッショルド電流も小さくて済むことになる。これによって、従来の課題は解決される。例えば、MW1のゲート幅を20 $\mu$ mとし、ワードドライバ512ヶ毎に1ヶのS11を設けるとすると、このS11内のT11で制御されるpMOSのゲート幅は200 $\mu$ mであれば良い。また、このpMOSのしきい値電圧はMW1よりも絶対値で例えば0.1V高く設定する。これによりサブスレッショルド電流を3ケタ低減することができる。

【0033】デコーダXD1の構成も同様である。ワードドライバと異なる点はワードドライバのMS1の代わりに2段直列のnMOS MS21、MS22を配置している点のみである。MD1、MD2がデコーダの出力端子N2を駆動するCMOSインバータであり、MP2はプリチャージ用のPMOSであり、XDPはプリチャージ信号であり、MF2はCMOSインバータの出力から入力へ弱い帰還をかけているpMOSである。MS21とMS22の制御はXiとXjとXkで行なう。従来このようなデコーダにおいてもMD1は電源VCLに直接接続されていた。このためVCLに多数のデコーダのMOSが接続されることになり、加工技術の微細化が進み電源電圧の低下にあわせてしきい値電圧を小さくすると大きなサブスレッショルド電流が流れることになってしまう。本発明を用いて、電源と多数のデコーダとの間にスイッチS12を設けてやり、この出力VCLLとデコーダを接続する。こうすれば、このスイッチを構成するpMOSのゲート幅は動作する少数のデコーダに電流を供給できれば良いので小さくて済む。このpMOSをVCLに接続するため、サブスレッショルド電流も小さくできる。

【0034】次に、図10を用いてこの回路の動作を説明する。／RASは図9には示していないがチップに印加され、このワードドライバ・デコーダ群を動作させるか否かを制御する信号である。この信号とやはりチップ

外部から印加するどのワード線を選択するかを指定するいわゆるアドレス信号から、図9には示していないチップ内の回路によって図9の回路を動作させるのに必要な信号を発生する。最初、／RASは高レベルでありチップは待機状態となっている。この時、Xiは高レベルVCLであり、Xj及びXkは低レベルVSであるためMS21及びMS22はオフデコーダは非選択状態となっている。更にXDPは低レベルVSであるためpMOS MP2はオンデコーダのCMOSインバータの入力N1はVCLにプリチャージされ、このため、デコーダの出力N2は低レベルVSとなっている。一方ワードドライバにおいてXmは高レベルVCLであり、XN2は前述の通り低レベルVSであるのでnMOS MS1はオフしている。また、XDPHは低レベルVSであるためpMOS MP1はオンしN3は高レベルVCHにプリチャージされており、よってワード線W11は低レベルとなっている。他の、ワードドライバ・デコーダにおいても同様であり全ワード線が低レベルVSとなっている。次に、動作状態となると／RASが低レベルとなり、プリチャージ信号XDPは高レベルVCL、XDPHは高レベルVCHとなる。T11及びT12も低レベルVSとなりスイッチS11及びS12をオンさせる。さらに、Xi及びXmが低レベルVSとなりXj及びXkが高レベルVCLとなる。これによって、M21及びM22がオンするためにN1は低レベルVSまでXiに向けて放電される。このため、N2が高レベルVCLとなり、Xmが低レベルVSとなっているためMS1がオンし、N3は低レベルVSまでXiに向けて放電される。これによって、W11が高レベルとなり、これと接続されているメモリセルが選択されることになる。この後、／RASが再び高レベルへ変化すると、Xi、Xj、Xk、Xmは待機時の状態に戻り、またXDP及びXDPHも最初の状態に戻るためワードドライバ・デコーダは非選択状態となり次の動作のためにプリチャージされることになる。なお、図9はワードドライバ・デコーダの場合を示しているが、これはYドライバ・デコーダにも適用できる。この場合は、メモリセルを直接駆動する必要がないため、一般に図9におけるVCHはVCLと同じ電位とすれば良い。

【0035】図11に、図9のスイッチS11及びS12の制御回路の例を示す。MAがこの制御回路の入力信号である。図11ではS11に対してT11をS12に対してT12を設けていたが、この制御回路では、1つの出力信号TによってS11及びS12を制御する。この回路の動作を図12を用いて説明する。／RASが高レベルである非選択状態では、MAは低レベルVSであるため、nMOS MG2はオフしている。また、CMOSインバータによってM1は高レベルVCLである。このため、フリップフロップを構成し電源がVCHに接続されたレベル変換回路において、M2は低レベルVS

となっており、pMOS MG1はオンしている。このためTは高レベルVCHとなっており、スイッチS11及びS12はオフしている。次に/RASが高レベルとなり、動作状態となるとMAは高レベルVCLとなり、M1は低レベルVSとなる。これによって、NORのフリップフロップは反転し、M2は高レベルVCHとなる。ここで、MAはnMOSMG2のゲートに入力しているため、MAが高レベルになった時点でnMOSMG2はオンする。上述の動作によってM2が高レベルとなるためpMOSMG1も遅れてオフするが、MG2のゲート幅をMG1よりも充分に大きく設定しておくことによって、MAの高レベルVCLへの変化によってTを低レベルVSとすることができる。動作時になったときなるだけ早くスイッチS11及びS12をオンの状態にすることが高速動作に必要なことであるためこのような回路構成を取ると良い。/RASが高レベルとなり非選択状態に戻る場合には、まずMAが低レベルとなり、MG2をオフする。ついでフリップフロップが動作してMG1がオンし、Tを高レベルとする。これによって、スイッチS11及びS12はオフする。

【0036】図13は本発明の半導体メモリを記憶装置Mに用いたデータ処理システムの構成を示す図である。矢印は信号の流れを表わす。Mは本発明を用いたDRAMを、CPUはシステム全体を制御する処理装置を、RAGはリフレッシュアドレス発生装置を、TCは制御信号発生装置を、SLCTはCPUから送られてくるアドレス信号とRAGから送られてくるリフレッシュアドレス信号を切り換えるセレクト装置を、PFYはシステム内の他の装置（例えば外部記憶装置、表示装置、数値演算装置等）を示すものである。PFYは通信回線を通して他の情報処理装置と接続される場合もある。

【0037】DATAはCPUとMとの間で通信されるデータで、AicはCPUで発生するアドレス信号で、AirはRAGで発生するリフレッシュアドレス信号で、AiはSLCTで選択されMに送られるアドレス信号で、STはCPUからRAGに送られるステータス信号で、BSはTCからCPUへのビジー信号で、SEはTCから送られるSLCTの起動をかける信号で、/RAS及び/CASは本発明を用いたDRAMの起動をかける信号である。SGはCPUとシステム内の他の装置との信号のやりとりをまとめて表わしたものである。MとしてはSRAMやEEPROM等も考えられる。この時はもちろんそれに応じた起動信号や制御信号が存在する。

【0038】図13の実施例では、/RAS信号と/CAS信号とがハイレベルとされ、DRAMの記憶装置Mは先の実施例で説明したように超低消費電流の待機状態に移行する。また、この時、CPUもスリープ命令によって、低消費電力の待機状態に、その他の周辺装置も低消費電力の待機状態にすることもできる。

【0039】本発明を用いた半導体集積回路では、電池駆動に適した低い電源電圧下で、しきい値電圧の小さいMOSトランジスタのサブスレッショルド電流よりも小さい消費電流にすることができる。このため、高速で低電圧でありかつ小さな待機時電流の半導体集積回路を実現することができる。

【0040】

【発明の効果】待機時にオフとされる電源スイッチを構成するスイッチトランジスタのリーク電流が複数のCMOS回路のオフ状態のpチャネルまたはnチャネルのMOSのサブスレッショルド電流の総和より小さくなるように、スイッチトランジスタのデバイスパラメータが設定されている。従って、待機時に複数のCMOS回路に流れる電流はこの複数のCMOS回路のサブスレッショルド電流でなくスイッチトランジスタの小さなリーク電流で設定される。かくして、CMOS回路を微細化し、サブスレッショルド電流が大きくなっても、待機時の消費電流を低減できる。

【図面の簡単な説明】

【図1】第1の実施例を示す図である。

【図2】第1の実施例の動作を示す図である。

【図3】第2の実施例を示す図である。

【図4】第2の実施例の動作を示す図である。

【図5】第3の実施例を示す図である。

【図6】第3の実施例の動作を示す図である。

【図7】第4の実施例を示す図である。

【図8】第4の実施例の動作を示す図である。

【図9】本発明のワードドライバ・デコーダへの適用を示す図である。

【図10】図9の回路の動作を示す図である。

【図11】制御回路の例を示す図である。

【図12】図11の回路の動作を示す図である。

【図13】本発明を用いたシステム構成を示す図である。

【符号の説明】

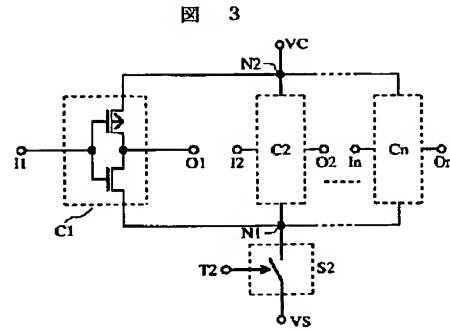
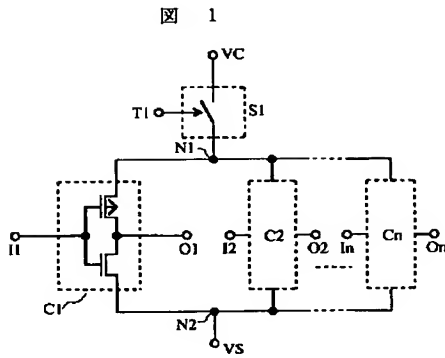
S, S1, S2, S11, S12…スイッチ、T, T1, T2, T11, T12…スイッチ制御端子、Ci…1度に少数しか動作しない多数の回路、N1, N2…電源端子、VC…高電位側電源、VS…低電位側電源、I…入力、O…出力、VCH…ワードドライバの高電位側電源、VCL…デコーダの高電位側電源、WD1~WD8…ワードドライバ、XD1…デコーダ、XB1~XBn…ワードドライバ・デコーダ、W11~Wn8…ワード線、X1, Xj, Xk, Xl…ワードドライバ・デコーダ選択信号、MA…制御回路入力信号、M…メモリ、DRAM、CPU…システム制御処理装置、SLT…アドレスセレクト装置、RAG…リフレッシュアドレス発生装置、TC…制御信号発生装置、PFY…システム内の他の装置、DATA…データ信号、Aic, Air, Ai…アドレス信号、ST…ステータス信号、BS…ビ

ジイ信号、SE…起動信号、/RAS、/CAS…DR

AMの起動信号。

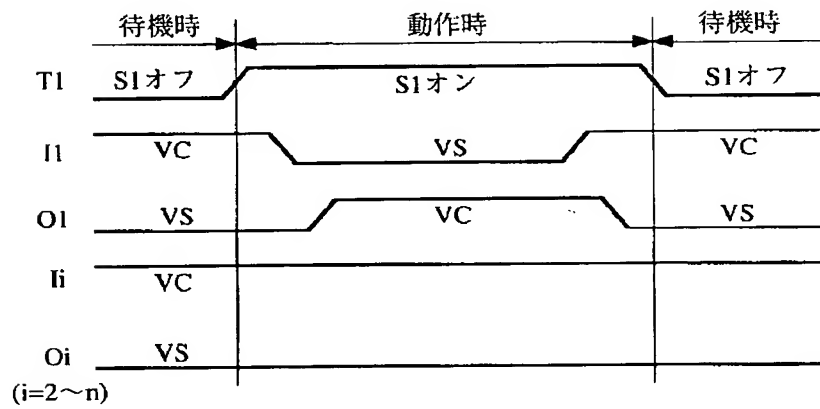
【図1】

【図3】



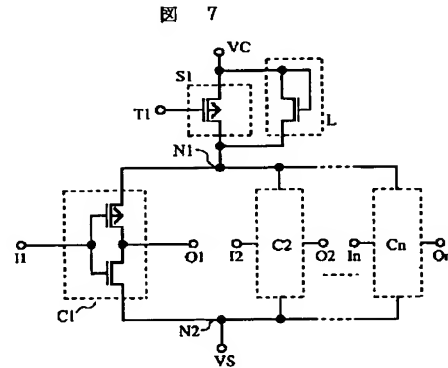
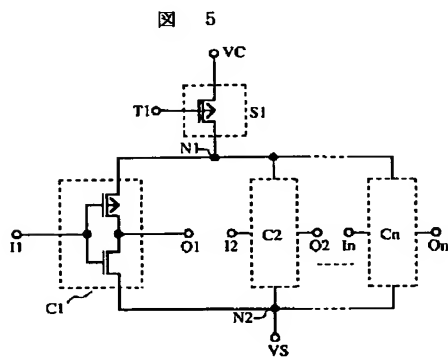
【図2】

図 2



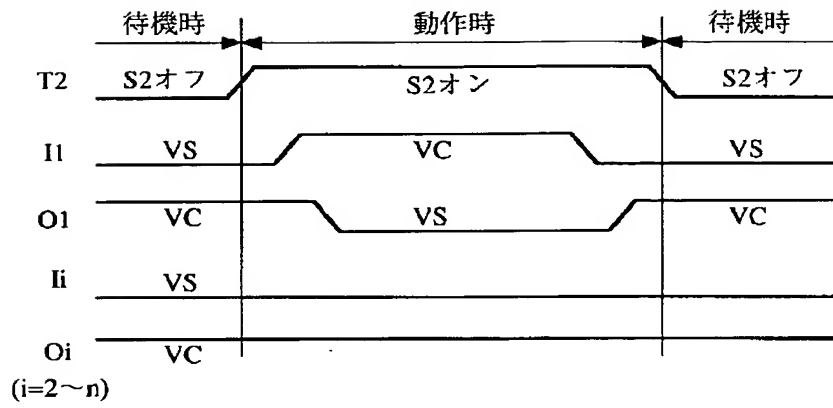
【図5】

【図7】



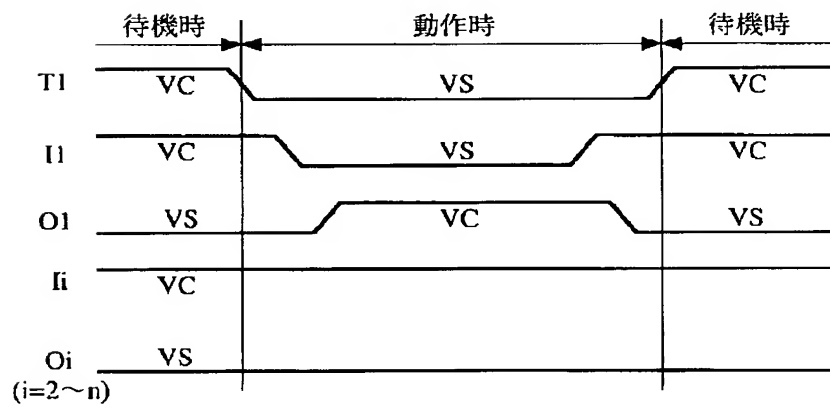
【図4】

図 4



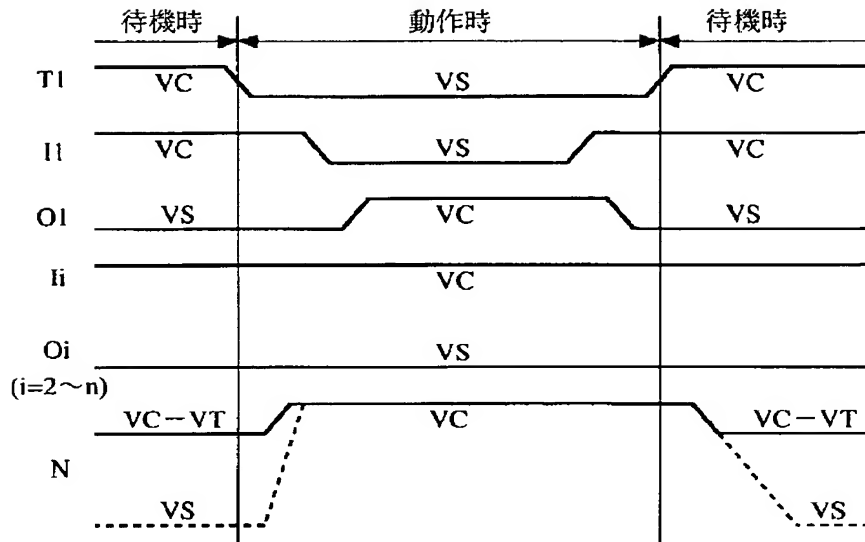
【図6】

図 6



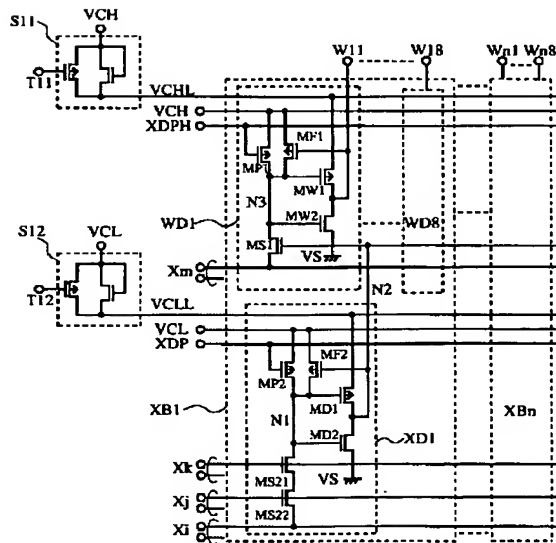
【图8】

図 8



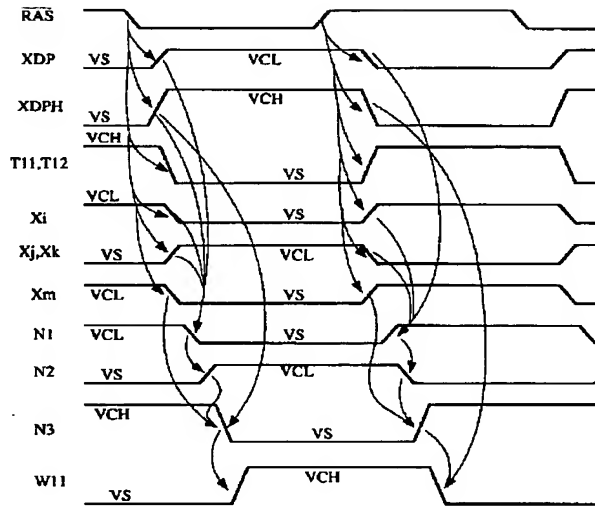
【図9】

Figure 9



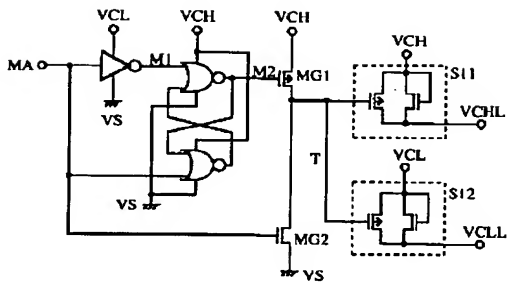
【図 10】

10



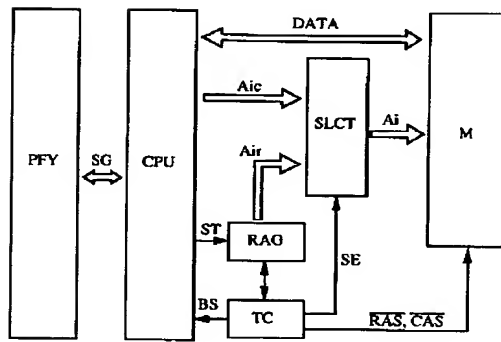
【図11】

図 1 1



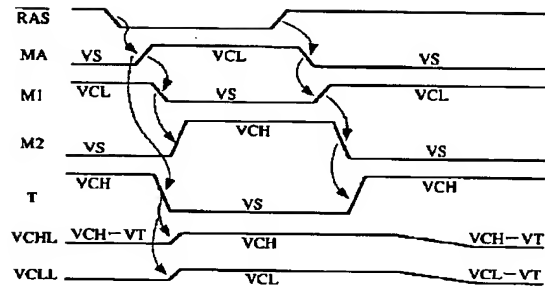
【図13】

図 1 3



【図12】

図 1 2



フロントページの続き

- (72)発明者 秋葉 武定  
千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内
- (72)発明者 堀口 真志  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内
- (72)発明者 渡部 隆夫  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内

- (72)発明者 橘川 五郎  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内
- (72)発明者 川瀬 靖  
千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内
- (72)発明者 立花 利一  
千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内
- (72)発明者 青木 正和  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内